

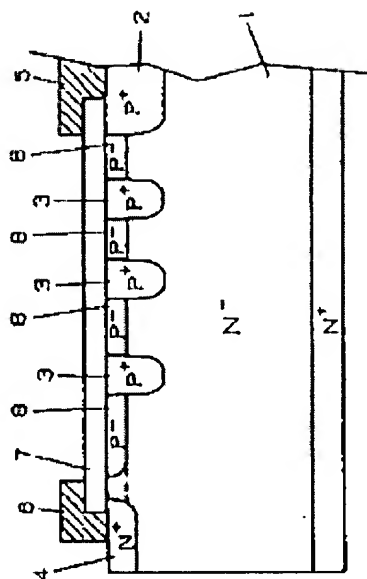
HIGH-BREAKDOWN-STRENGTH SEMICONDUCTOR DEVICE

Patent number: JP3147331
Publication date: 1991-06-24
Inventor: NAKAMURA HIDEYUKI
Applicant: SHINDENGEN ELECTRIC MFG CO LTD
Classification:
 - international: H01L21/331; H01L29/73
 - european:
Application number: JP19890285455 19891101
Priority number(s):

Abstract of JP3147331

PURPOSE:To offer a semiconductor device whose breakdown strength is high and whose switching characteristic is excellent by a method wherein a first region, of one conductivity type, formed on the surface of a semiconductor substrate and a second region which surrounds the region and whose conductivity type is opposite to that of the region are formed and both regions are connected by a third region whose impurity concentration is lower than that of the first region.

CONSTITUTION:A semiconductor substrate 1 is formed of an epitaxial layer of an N<-> conductivity type on a semiconductor bulk of an N<+> conductivity type. Then, a third region 8 is formed by a diffusion process or the like so as to become a P<-> conductivity type which is different from the semiconductor substrate 1. In addition, a first region 2 and a second region 3 are formed simultaneously by a diffusion process or the like so as to become a P<+> conductivity type which is diffused from the semiconductor substrate 1. An impurity concentration of the third region 6 is made lower than that of the first region 2. When the regions are formed, the first region acts as an anode in the case of a diode and as a base in the case of a transistor and the second region 3 acts as a guard ring. By this structure, a breakdown strength can be improved.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-147331

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月24日

H 01 L 21/331
29/73

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 3 (全3頁)

⑭ 発明の名称 高耐圧半導体装置

⑰ 特 願 平1-285455

⑱ 出 願 平1(1989)11月1日

⑲ 発 明 者 中 村 秀 幸 埼玉県飯能市南町10-13 新電元工業株式会社工場内

⑳ 出 願 人 新電元工業株式会社 東京都千代田区大手町2丁目2番1号

明 細 書

1. 発明の名称 高耐圧半導体装置

2. 特許請求の範囲

(1) 一の導電型をもつ半導体基体の表面に形成した前記一の導電型と逆の導電型をもつ第1の領域と、第1の領域を取り囲んで該表面に形成した前記逆の導電型の第2の領域と、第1の領域と第2の領域を接続するように該表面に形成した前記逆の導電型で、かつ、第1の領域より低不純物濃度の第3の領域から成ることを特徴とする高耐圧半導体装置。

(2) 第2の領域を複数個形成し、各第2の領域間を第3の領域で接続した特許請求の範囲第(1)項の高耐圧半導体装置。

(3) 半導体基体の表面の外周端部に第1及び第2の領域を取り囲んで、一の導電型で、かつ該半導体基体の表面より高不純物濃

度のチャンネルストップ領域を形成し、第2の領域の最外郭と該チャンネルストップ領域間に、該最外郭に接して第3の領域を存在させた特許請求の範囲第(1)項又は第(2)項の高耐圧半導体装置。

3. 発明の詳細な説明

本発明は高耐圧半導体装置の構造に関するものである。

従来、接合端部が半導体基体の主表面に露出するブレーナ形等の半導体装置においては高い逆耐電圧を得るためにガードリングを設ける構造が知られている。第1図はガードリングを設けた従来の高耐圧半導体装置の断面構造図である。同図において、1はN⁺導電型からなる半導体基体、2はP⁺型導電型からなる第1の領域、3はP⁺型導電型からなり、第1の領域1を取り囲んで形成した1本又は複数本のガードリングとなる第2の領域、4はN⁺導電型からなり、第2の領域を取り囲んで形成したチャンネルストップ領域、5は第1の領

域の電極、6は等ポテンシャルリング(EQR)、7は絶縁層である。第1図において、半導体装置の重要特性であるスイッチング時間(t_{rr})及び耐圧は第1の領域2と第2の領域3の形成条件によって決定される。即ち、耐圧を上げるために、第1の領域2を深くすると t_{rr} が悪くなり、又、第2の領域3の接合を深くするとガードリング間隔を広くする必要が生じ、結果として、半導体基体の面積を増加し、従って、半導体装置を大形化する。又、第1及び第2の領域の接合深さを浅くして、耐圧を上げるためには第2の領域3のガードリング本数を増すことになり、この場合も半導体基体の面積を広くすることになる。

本発明は前記せる従来装置の欠点を解消し、高耐圧で、スイッチング特性の優れた半導体装置の提供を目的とする。

第2図は本発明の実施例を示す断面構造図であり、第1図と同一符号は同一部分をしめす。1の半導体基体は、例えばN⁺導電型の半導体バルク上にN⁻導電型のエピタキシャル層により形成する。

と第3の領域8によりピンチオフとなり、表面付近の電界集中を緩和し、又、第2の領域3であるガードリングによりスフェリカル部の電界集中を緩和して耐圧を上げることができる。また、スイッチング特性 t_{rr} の改善のため、浅い接合を形成した場合も、高耐圧を実現できる。第4図は本発明の装置における特性図であり、第3の領域8のP⁻導電型層の不純物濃度と耐圧の関係曲線を示している。同図で「ガードリング有」は第2の領域3のガードリングを2本形成したものである。又、第3の領域8のP⁻導電型層の不純物濃度の増加とともに耐圧が向上する関係曲線を示したが、その不純物濃度は $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-3}$ が好ましい範囲である。

第2図及び第3図の本発明装置の構造において、チャンネルストッパ領域4と第2の領域3の最外縁部間(第3の領域8を形成する場合、第3の領域8は第2の領域3に接することは必要であるが、チャンネルストッパ領域との間は点線又は実線図示のようにいずれでもよい。本発明の効果はいずれ

次いで、半導体基体1と異なるP⁻導電型となるように拡散工程等により第3の領域8を形成する。更に、半導体基体1と異なるP⁻導電型となるように拡散工程等により、第1の領域2と第2の領域3を同時に形成する。又、第3の領域8は第1の領域2より不純物濃度を低く形成する。

これらの形成により、第1の領域2はダイオードの場合にはアノード、トランジスタの場合にはベース、又、第2の領域3はガードリングとしてそれぞれ作用する。なお、第1の領域2をトランジスタのベースとするときは第1の領域2内に表面からエミッタ領域を形成する。もちろん、本発明の構造は高耐圧を必要とするサイリスタ、SIT、DET等に適用し得るものである。第3図は本発明の他の実施例をしめす断面構造図であって、前図と同一符号は同一部分をあらわす。

第3図ではP⁻導電型の第3の領域8を第1及び第2の領域、2及び3より深く形成した構造であり、第2図と同一効果を得る。即ち、第2図及び第3図の本発明の構造によれば、電圧を印加する

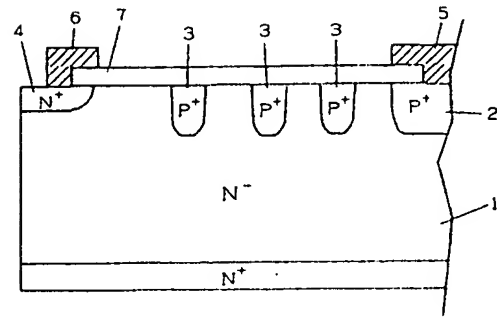
の場合も生じるが、製造プロセス上は点線図示の方が容易となる。本発明を第2図及び第3図の実施例により説明したが、前記せるごとく、ダイオード、バイポーラ・トランジスタ、DET、サイリスタ、SIT等、適用する半導体装置に応じ、又、設計上の要求に応じて、半導体基体内への領域、電極金属、絶縁被膜等の付加、削除、変更をなし得るものである。その他、実施例において、導電型のPとNの等価的な変換も任意になし得るものである。

本発明による簡単な構造で、耐圧を改善し、あわせてスイッチング特性を向上した高耐圧半導体装置を提供することができ、パワー用の前記せる各種の制御素子等に利用して、産業上の効果極めて大なるものである。

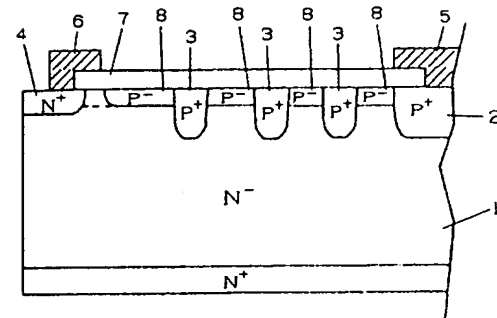
4. 図面の簡単な説明

第1図は従来装置の断面構造図、第2図及び第3図は本発明の実施例を示す断面構造図、第4図は特性図であり、1は半導体基板、2は第1の領

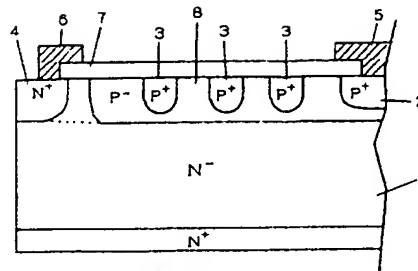
域、3は第2の領域、4はチャンネルストップ領域、5は電極、6は等ポテンシャルリング(EQR)、7は絶縁層、8は第3の領域である。



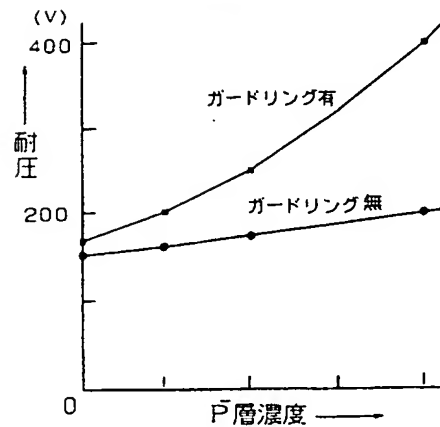
第1図



第2図



第3図



第4図